

DERWENT-ACC-NO: 2000-202723
DERWENT-WEEK: 200020
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: RC circuit for timer used in analog
integrated circuit, consists of
reverse biased insulated gate field effect
transistor functioning as capacitor

PATENT-ASSIGNEE: HITACHI GAZO JOHO SYSTEM
KK[HITAN], HITACHI LTD[HITA],
HITACHI MICON SYSTEM KK[HITAN]

PRIORITY-DATA: 1998JP-0208117 (July 23, 1998)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 2000040949	005	February 8, 2000	H03K 017/22
			N/A

A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
	APPL-DATE	
JP2000040949A	N/A	
1998JP-0208117	July 23, 1998	

INT-CL (IPC): H01L021/8234; H01L027/088 ;
H03K017/22

ABSTRACTED-PUB-NO: JP2000040949A

BASIC-ABSTRACT: NOVELTY - RC circuit has resistance
connected between input and
output terminals. Source and drain terminals of
reverse biased field effect
transistor functioning as capacitor are connected
to output terminal.

USE - In timer circuit of analog IC, temperature detector, phase detector.

ADVANTAGE - Since MOS transistor is used as a capacitor, large time constant values can be obtained in the integrated circuit itself. DESCRIPTION OF DRAWING(S) - The figure shows timer circuit.

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS:

RC CIRCUIT TIME ANALOGUE INTEGRATE CIRCUIT CONSIST
REVERSE BIAS INSULATE GATE
FIELD EFFECT TRANSISTOR FUNCTION CAPACITOR

DERWENT-CLASS: U13 U21 U25

EPI-CODES: U13-B02A; U13-B04; U21-B02B; U25-A05;
U25-C;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-151204

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-40949

(P2000-40949A)

(43) 公開日 平成12年2月8日(2000.2.8)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 K 17/22		H 0 3 K 17/22	E 5 F 0 4 8
H 0 1 L 21/8234		H 0 1 L 27/08	1 0 2 J 5 J 0 5 5
27/088			

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平10-208117

(22) 出願日 平成10年7月23日(1998.7.23)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(71) 出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(74) 代理人 100085811

弁理士 大日方 富雄

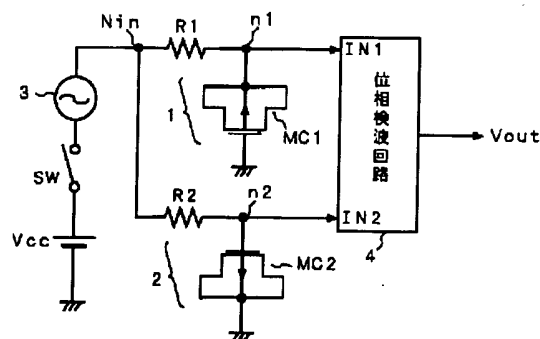
最終頁に続く

(54) 【発明の名称】 時定数回路およびタイマ回路

(57) 【要約】

【課題】 従来のアナログICにおける時定数回路は、抵抗と容量を用いたCR時定数回路が一般的であるが、半導体集積回路において大きな容量を得ることは占有面積の点から困難であるため、時定数の大きな回路を実現したい場合には、外付け容量が利用されていた。しかし、外付け容量を使用する方式にあつては部品点数が多くなり、実装密度が低下するという問題点があった。

【解決手段】 MOSFETが逆バイアスの状態すなわちMOSFETのゲート端子に負の電圧が印加されたときに電圧印加開始から容量値が安定するまでの時間が非常に長いというMOSFETの性質を利用して、MOSFETを容量として使用して抵抗と共に時定数回路を構成するようにした。



【特許請求の範囲】

【請求項1】 入力端子と出力端子との間に接続された抵抗素子と、ソースおよびドレイン端子が出力端子に接続されかつゲート端子が回路の低い側の電源電圧端子に接続された逆バイアス状態の絶縁ゲート電界効果型トランジスタとから構成されてなることを特徴とする時定数回路。

【請求項2】 請求項1に記載の第1の時定数回路と、入力端子と出力端子との間に接続された抵抗素子と、ゲート端子が出力端子に接続されかつソースおよびドレイン端子が回路の低い側の電源電圧端子に接続された順バイアス状態の絶縁ゲート電界効果型トランジスタとから構成されてなる第2の時定数回路と、

上記第1の時定数回路の出力および第2の時定数回路の出力を入力とする位相検波回路もしくは差動増幅回路とを備えてなることを特徴とするタイマ回路。

【請求項3】 請求項2に記載のタイマ回路を、電源電圧の投入を検出する電源投入検出回路として有することを特徴とする半導体集積回路。

【請求項4】 請求項1に記載の第1の時定数回路と、入力端子と出力端子との間に接続された抵抗素子と、ゲート端子が出力端子に接続されかつソースおよびドレイン端子が回路の低い側の電源電圧端子に接続された順バイアス状態の絶縁ゲート電界効果型トランジスタとから構成されてなる第2の時定数回路と、

上記第1の時定数回路の出力および第2の時定数回路の出力を入力とする位相検波回路もしくは差動増幅回路と、

上記第1および第2の時定数回路への入力時に計数を開始し上記位相検波回路の出力に基づいて計数を終了するカウンタ回路と、

該カウンタ回路の計数値を温度に換算した信号に変換し出力する変換回路と、を備えてなることを特徴とする温度検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路における時定数回路に関し、例えばアナログICにおいて大きな時定数を有するタイマ回路を実現したい場合に利用して有効な技術に関する。

【0002】

【従来の技術】 従来、アナログICにおける時定数回路としては、抵抗と容量を用いたCR時定数回路が一般的である。しかし、半導体集積回路（以下、ICと称する）において大きな容量を得ることは占有面積の点から困難である。そのため、例えば1秒を越えるような時定数の大きな回路を実現したい場合には、外付け容量が利用されていた。

【0003】 また、デジタルICで使用されているクロック計数型のタイマ回路を利用する方法も考えられ

る。

【0004】

【発明が解決しようとする課題】 しかしながら、アナログICで使用されるトランジスタなどの素子とデジタルICで用いられている素子とでは特性やデバイス構造が異なるため、アナログICにおいてデジタルICのタイマ回路を構成すること困難であった。また、外付け容量を使用する方式にあっては部品点数が多くなり、実装密度が低下するという問題点がある。

【0005】 この発明の目的は、アナログICにおいて比較的容易に大きな時定数を有する時定数回路もしくはタイマ回路を実現することにある。

【0006】 この発明の他の目的は、比較的構成の簡単な温度検出回路を提供することにある。

【0007】 この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0009】 すなわち、本発明は、MOSFETが逆バイアスの状態すなわちMOSFETのゲート端子に負の電圧が印加されたときに電圧印加開始から容量値が安定するまでの時間が非常に長いというMOSFETの性質を利用して、MOSFETを容量として使用して抵抗と共に時定数回路を構成するようにしたものである。

【0010】 より具体的には、入力端子と出力端子との間に接続された抵抗素子と、ソースおよびドレイン端子が出力端子に接続されかつゲート端子が回路の低い側の電源電圧端子に接続された逆バイアス状態の絶縁ゲート電界効果型トランジスタとにより時定数回路を構成する。

【0011】 また、MOSFETを容量としかつ電源電圧がゲート端子側に印加された第1の時定数回路と電源電圧が基体側に印加された第2の時定数回路とを設け、これらの時定数回路の出力を位相検波回路もしくは差動増幅回路に入力するようにしたものである。

【0012】 上記した手段によれば、一つのMOSFETと一つの抵抗とにより非常に大きな時定数を得ることができるため、アナログICに搭載可能な時定数の大きな時定数回路もしくはタイマ回路を実現することができる。

【0013】 なお、上記タイマ回路は、電源電圧の立ち上がりを検出する電源投入検出回路として使用することができる。これによって、例えば複数の回路もしくはICからなるシステムにおいて他の回路もしくはICの動作が安定してから起動させたい回路もしくはICに対して上記タイマ回路の出力信号を与えて起動させるように構成することにより、システムの誤動作を防止すること

ができる。

【0014】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。

【0015】図1は、本発明に係る時定数回路を使用したタイマ回路を電源電圧の投入を検出する電源投入検出回路として利用した実施例を示す回路図である。

【0016】図1において、SWは電源電圧投入用のスイッチ、1は電源スイッチSWに接続された第1の時定数回路、2は同じく電源スイッチSWに接続された第1の時定数回路、3は交流信号源、4は上記第1の時定数回路1の出力および第2の時定数回路の出力を入力とする位相検波回路である。

【0017】上記第1の時定数回路1は、入力端子としての入力ノードN_{in}と出力端子としての出力ノードn₁の間に接続された抵抗素子1と、ソースおよびドレイン端子が出力ノードn₁に接続されかつゲート端子が回路の接地電位に接続された逆バイアス状態のMOSFET MC1とから構成されている。特に制限されないが、MOSFET MC1はpチャネル形のもが使用されており、p型拡散層からなるソース、ドレイン領域が形成される基体すなわちn型ウェル領域もソース、ドレイン領域と同様に出力ノードn₁の電位が印加される。

【0018】上記第2の時定数回路2は、入力ノードN_{in}と出力ノードn₂との間に接続された抵抗素子R₂と、ゲート端子が出力ノードn₂に接続されかつソースおよびドレイン端子が接地電位に接続された順バイアス状態のMOSFET MC2とから構成されている。MOSFET MC2もpチャネル形で構成されており、p型拡散層からなるソース、ドレイン領域が形成される基体すなわちn型ウェル領域はソース、ドレイン領域と同様に接地電位が印加される。そして、上記第1の時定数回路1の出力と第2の時定数回路2の出力とが位相検波回路4に入力されている。

【0019】次に、図1の回路の動作を図2のタイムチャートを用いて説明する。

【0020】電源スイッチSWがオンされると、図2(a)に示すように電源電圧がV_{cc}まで立ち上がり、交流信号源3からの信号が時定数回路1、2の入力端子N_{in}に入力される(タイミングt₁)。すると、時定数回路2の順バイアス状態のMOSFET MC2の容量値C₂は電源投入から一定であるのに対し、時定数回路2の逆バイアス状態のMOSFET MC1の容量値は図2(b)に示すように、次第に上昇してT時間後にMC2の容量値C₂よりも大きくなり、その後所定の値C₁に安定するようになる。逆バイアス状態のMOSFETの容量値が徐々に大きくなるのは、電圧投入直後はウェル領域に形成される空乏層が大きくその後次第に減少するためと考えられている。

【0021】この実施例においては、順バイアス状態のMOSFET MC2の容量値C₂に対し、逆バイアス状態のMOSFET MC1の容量の安定値C₁が、C₁>C₂となるように、MOSFET MC1とMC2のサイズ比が決定されている。また、電源投入後、逆バイアス状態のMOSFET MC1の容量値が順バイアス状態のMOSFET MC2の容量値C₂と等しくなるまでの時間Tが室温で約数秒〜数十秒の範囲になるように、MOSFET MC1とMC2のサイズが決定されている。

【0022】上記のように、電源電圧の投入直後は時定数回路1の時定数は時定数回路2の時定数よりも小さいため、位相検波回路3に対する第1の入力電位を与えるノードn₁の位相は第2の入力電位を与えるノードn₂の位相よりも早くなる。そして、T時間後に逆バイアス状態のMOSFET MC1の容量値が順バイアス状態のMOSFET MC2の容量値2よりも大きくなると、時定数回路1の時定数は時定数回路2の時定数よりも大きくなるため、位相検波回路3に対する第1の入力電位を与えるノードn₁の位相は、第2の入力電位を与えるノードn₂の位相よりも遅くなる。その結果、位相が逆転するタイミングt₂の時点でロウレベルからハイレベルへ変化する信号V_{out}が位相検波回路4から出力される。

【0023】このように上記実施例のタイマ回路では、電源投入後数秒〜数十秒経過したときにハイレベルに変化する出力が得られるため、例えば複数の回路もしくはICからなるシステムにおいて他の回路もしくはICの動作が安定してから起動させたい回路もしくはICに対して上記タイマ回路の出力信号を与えて起動させるように構成することにより、システムの誤動作を防止するために利用すると有効である。

【0024】しかも、上記実施例における逆バイアス状態のMOSFET MC1は、その容量が安定値に達するまでの時間Tが周囲の温度によって大きく変化する(温度が高いほどTが小さくなる)ので、その性質を利用して、例えば自動車のエンジン制御システムにおいて、上記実施例のタイマ回路を有するICをエンジンルーム内等に配置しておき、温度が低いときはタイマ回路から起動信号が遅いタイミングで出力され、温度が高くなるとタイマ回路から起動信号が早いタイミングで出力されるようにして、その起動信号によって所定の制御モードが開始されるように構成することができる。

【0025】なお、上記実施例では、時定数回路を構成するMOSFETとしてpチャネル形のもが使用されているが、nチャネルMOSFETを使用することも可能である。また、順バイアス状態にされる側の容量MC1としては、MOSFETに限定されず、通常の絶縁膜を誘電体とする絶縁膜容量を使用することができる。

【0026】また、本発明に係る時定数回路は、逆バイ

アス状態のMOSFET MC1の容量が安定値に達するまでの時間Tが周囲の温度によって大きく変化するという性質を利用して温度検出回路として利用することも可能である。具体的には、例えば図3に示すように、図1の実施例の位相検波回路4の次段にスイッチSWのオン動作に同期してクロック信号CKの計数を開始するカウンタ回路5を設けて、このカウンタ回路5の動作を上記位相検波回路4の出力信号によって停止させるように構成して、スイッチSWがオンされた後カウンタ回路5の動作が停止されるまでにカウンタ回路5が計数した値を温度に換算して出力する変換回路6を設けてやるようにすれば良い。

【0027】図4に上記位相検波回路4の具体的な回路例を示す。

【0028】図1および図3の時定数回路1および2の出力ノードn1、n2の電位は、位相検波回路4の入力端子IN1および入力端子IN2に入力される。この実施例の位相検波回路4は、入力端子IN1およびIN2と接地点との間にそれぞれ接続され分圧回路を構成する抵抗R11、R12およびR21、R22と、入力端子IN1への入力信号をベース端子に受けるトランジスタQ1、Q4と、このトランジスタQ1、Q4とそれぞれエミッタ共通接続され入力端子IN2への入力信号をベース端子に受けるトランジスタQ2、Q3と、互いにエミッタ共通接続され上記抵抗R11とR12により分圧された電圧および抵抗R21とR22により分圧された電圧をそれぞれベース端子に受けるトランジスタQ5、Q6と、これらのトランジスタQ5、Q6の共通エミッタに接続された定電流源I1とから構成されている。そして、上記トランジスタQ1とQ3のコレクタは抵抗R31を介して電源電圧Vccに、またトランジスタQ2とQ4のコレクタは抵抗R32を介して電源電圧Vccにそれぞれ接続されている。なお、図4の位相検波回路は一例であってこれに限定されるものでない。

【0029】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば前記

実施例では、交流信号源と位相検波回路とを用いて時定数の大小を判定しているが、差動増幅回路を用いて第1の時定数回路の時定数と第2の時定数回路の時定数の大小を判定することも可能である。その場合、交流信号源は不要であり、代わりに例えばスイッチSWをスイッチングしたりして時定数回路1と2の時定数の大小関係が反転するタイミングを検出するような回路を設けてやれば良い。

【0030】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるアナログICにおける時定数の大きなタイマ回路を構成する場合を例にとって説明したが、この発明はそれに限定されるものでなく、デジタルICにおけるタイマ回路あるいは時定数回路として利用することも可能である。

【0031】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0032】すなわち、本発明に従うと、アナログICにおいて比較的容易に大きな時定数を有する時定数回路もしくはタイマ回路を実現することができるとともに、比較的構成の簡単な温度検出回路を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る時定数回路を使用したタイマ回路の一実施例を示す回路図。

【図2】図1のタイマ回路における動作タイミングを示すタイムチャート。

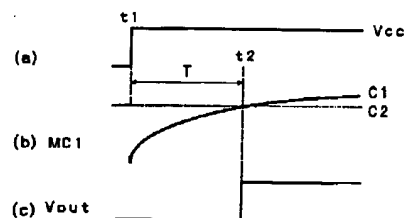
【図3】本発明に係る時定数回路を使用した温度検出回路の一実施例を示す回路図。

【図4】実施例のタイマ回路を構成する位相検波回路の一例を示す回路図。

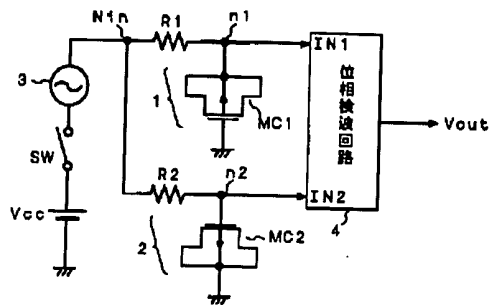
【符号の説明】

- 1 第1の時定数回路
- 2 第2の時定数回路
- 3 交流信号源
- 4 位相検波回路
- 5 カウンタ回路

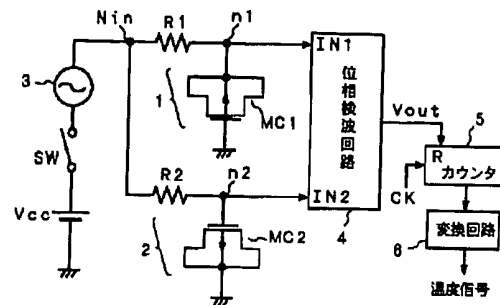
【図2】



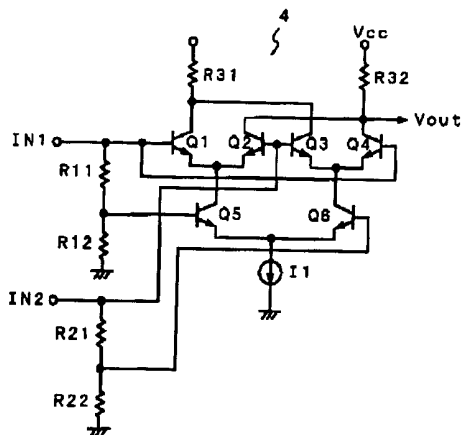
【図1】



【図3】



【図4】



フロントページの続き

(72)発明者 田中 聡

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 原澤 良明

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 大野 幾也

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 古屋 良治

神奈川県横浜市戸塚区吉田町292番地株式会社日立画像情報システム内

Fターム(参考) 5F048 AA10 AB10 AC03 AC10 BA01

BE09 BF16 CC05 CC13

5J055 AX11 AX44 AX57 BX24 CX00

DX01 EY01 EY03 EY17 EY21

EZ01 EZ03 EZ08 EZ34 FX06

FX31 GX01 GX04